

CAPÍTULO III

PINAGEM E TEMPORIZAÇÃO

3.1. INTRODUÇÃO

O encapsulamento dos microcontroladores varia muito, de acordo com as funções desempenhadas. Basicamente são usados 3 tipos de encapsulamento :

- DIP → Dual in Pack,
- QFP → Quad Flat Pack,
- PLCC → Leadless Chip Carrier.

Os 8051 e 8052 estão disponíveis em 40 DIP, 44 PLCC e 44 QFP. Alguns exemplos:

- 8031 (mais simples) → DIP40
- 8051GB (AD + timer, etc) → 100 QFP
- 8051SL (Keyboard Controller) → 100 QFP
- 83152 (Universal Com. Contr.) → DIP48 E PLCC68

3.2. DESCRIÇÃO DA PINAGEM

Estudar-se-á a pinagem do 8051 no encapsulamento DIP40 (HMOS) → 8051 AH

(40) **Vcc** → Alimentação de +5V. Consumo: $I_{cc} = 125 \text{ mA}$, com todas as saídas desconectadas.

(20) **Vss** → Terra.

(32-39) **P0** → Porta 0 (AD0...AD7). Além de porta paralela, está multiplexada com o byte menos significativo (LSB) dos endereços e dos dados. Admite 8 cargas LS TTL.

(21-28) **P2** → Porta 2 (A8...A15). Além de porta paralela, está multiplexada com o byte mais significativo (MSB) dos endereços. Admite 4 cargas LS TTL.

(1-8) **P1** → Porta 1. Admite 4 cargas LS TTL.

(10-17) **P3** → Porta 3. Compartilhada com uma série de recursos Admite 4 cargas LS TTL.

P3.0 → **RXD**, entrada serial

P3.1 → **TXD**, saída serial

P3.2 → ***INT0**, interrupção externa 0

P3.3 → ***INT1**, interrupção externa 1

P3.4 → **T0**, entrada para o timer 0 (contador neste caso)

P3.5 → **T1**, entrada para o timer 1 (contador neste caso)

P3.6 → ***WR**, escrita na memória de dados externa

P3.7 → *RD, leitura na memória de dados externa

- (9) **RST** → Reset. Com o oscilador funcionando, deve ser mantido um nível alto durante 24 períodos.
- (30) **ALE/PROG** → Address Latch Enable. Pulso para acionar o latch que captura o LSB do endereço (com sua borda ascendente). Ele é emitido à razão de 1/6 da frequência do oscilador e pode ser usado para acionar entradas externas. Um ALE é omitido durante o acesso à Memória de Dados Externa. Também é usada na gravação da ROM interna.
- (29) ***PSEN** → Program Store Enable. Pulso de leitura para a Memória de Programa Externa. Quando o programa está sendo executado na memória de programa externa ele aparece como 1/6 da frequência de clock. Quando há acesso à memória de dados externa, 2 PSEN são perdidos.
- (31) ***EA/VPP** → External Access Enable. Informa à CPU se o programa está na Memória de Programa Externa ou na ROM Interna. Também usado para gravação da ROM Interna.
- *EA = 1 (Vcc) → (0000H - 0FFFH) ROM Interna
→ (1000H - FFFFH) Memória de Programa Externa
- *EA = 0 (Vss) → (0000H - FFFFH) Memória de Programa Externa
- (19) **XTAL1** → Entrada do amplificador inversor do oscilador interno. Deve ser conectado à terra se for usado um clock externo (HMOS) ou ao clock externo (CHMOS).
- (20) **XTAL2** → Saída do amplificador inversor do oscilador interno. Se for usado clock externo, serve como entrada para o mesmo (HMOS) ou não é conectado (CHMOS).

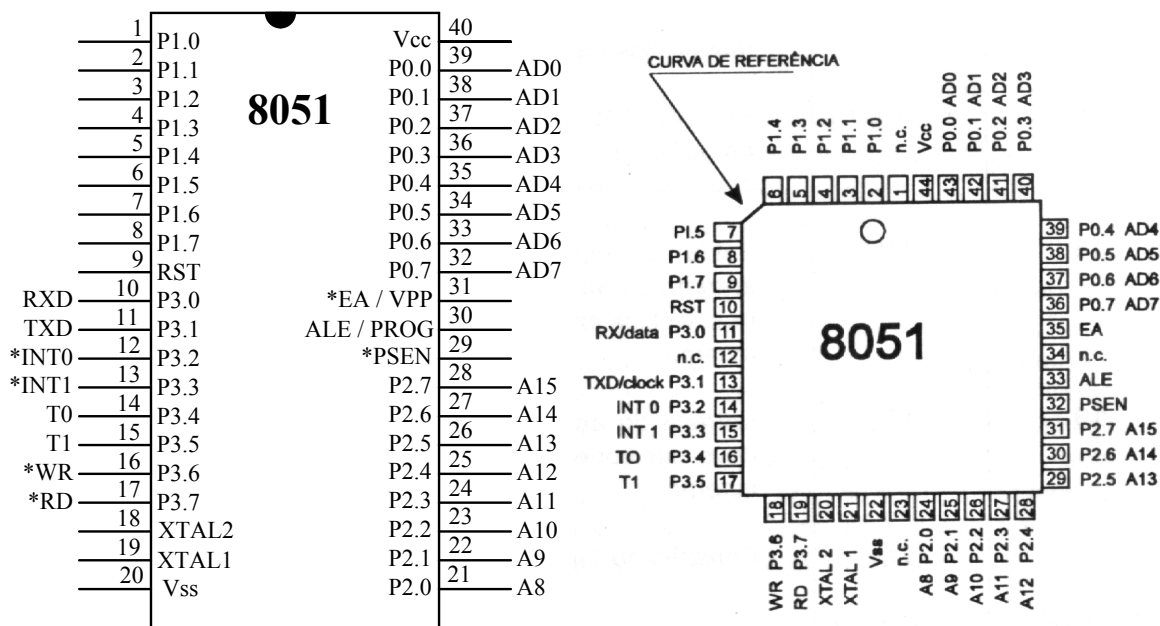
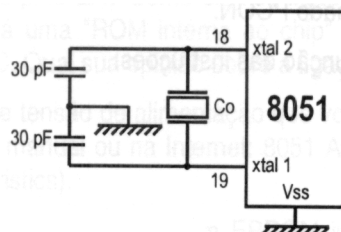


Figura 3.1. Pinagem do 8051.

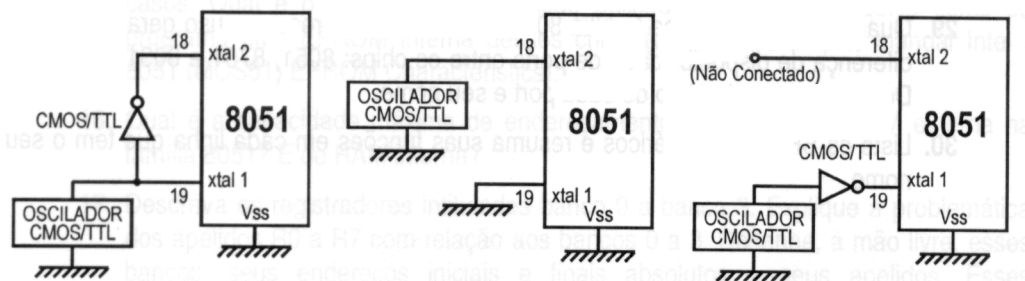
OBS: A figura a seguir ilustra as possíveis ligações dos pinos XTAL1 e XTAL2:

Opções de ligação:

a) Cristal



b) Oscilador Externo



Observação: Os capacitores podem ser variados de ± 10 pF.

3.3. DIAGRAMAS DE TEMPO

Aqui serão abordados alguns diagramas de tempo, os quais foram simplificados em benefício da compreensão. Eles **não** mostrarão os tempos de subida e descida dos pulsos. Os retardos de propagação entre o CLK e os demais sinais foram omitidos. Esses detalhes devem ser consultados no "datasheet" da CPU a ser usada.

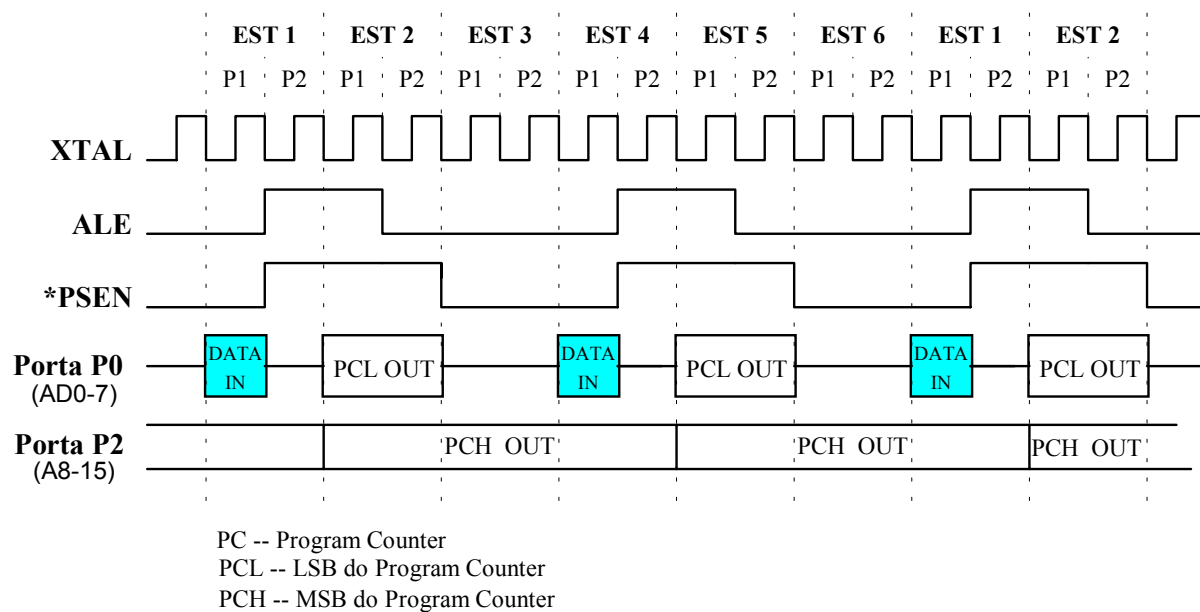


Figura 3.2. Fetch de programa, Memória Externa.

Cada período de Clock recebe o nome de Fase (Phase). Cada estado é composto por 2 períodos de Clock ou 2 fases, denominadas P1 e P2. Observar que EST1=EST4, EST2=EST5, etc. O Program Counter (PC) é composto por dois registros de 8 bits: PC = PCH + PCL.

As frequências de ALE e *PSEN são iguais a 1/6 da frequência do cristal, mas o "Duty Cycle (DC) é diferente para cada uma. ALE tem o DC=33% (1/3) enquanto que *PSEN tem o DC=50% (1/2).

$$f(\text{ALE}) = f(\text{*PSEN}) = f(\text{XTAL})/6$$

$$\text{DC}(\text{ALE}) = 33\% \Rightarrow 33\% \text{ alto e } 67\% \text{ baixo}$$

$$\text{DC}(\text{*PSEN}) = 50\% \Rightarrow 50\% \text{ alto e } 50\% \text{ baixo}$$

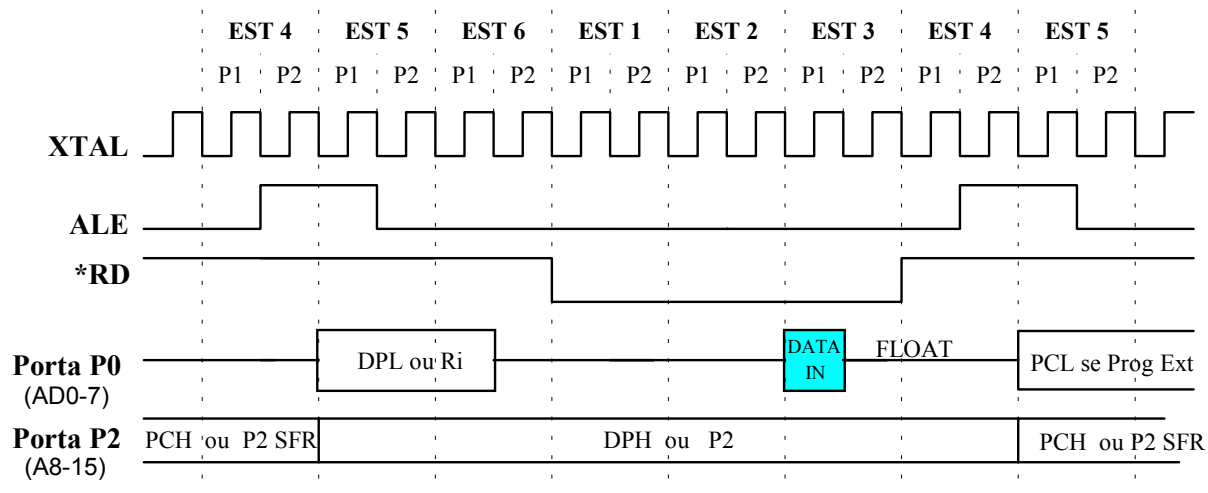


Figura 3.3. Leitura na Memória de Dados Externa.

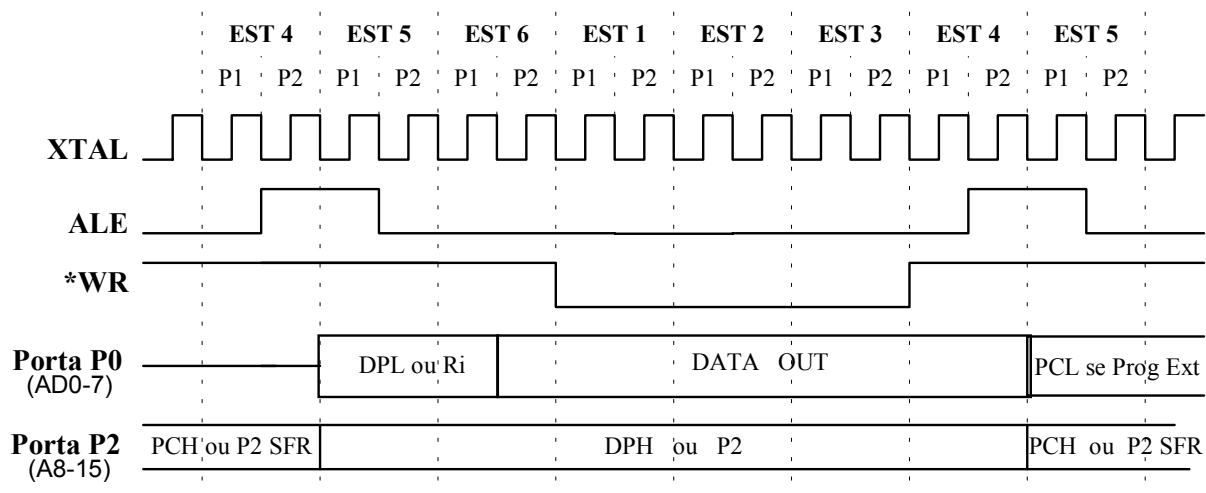


Figura 3.4. Escrita na Memória de Dados Externa.

A leitura e a escrita na Memória de Dados Externa usam o dobro de tempo quando são comparadas com um acesso à memória de programa. Notar que $f(\text{ALE})$ não tem $f(\text{XTAL})/6$ pela ausência de um pulso de ALE e que não existe *PSEN. Perde-se um pulso de ALE e dois pulsos de *PSEN. Então,

$f(\text{ALE}) = f(*\text{PSEN}) = f(\text{XTAL})/6$ mas, quando há acessos à Memória de Dados Externa, se perdem 1 pulso de ALE e 2 pulsos de *PSEN.

Nos acessos à Memória de Dados Externa é usado um endereço de 16 bits. Esse endereço pode ser formado por um registro ponteiro de dados de 16 bits, DPTR (DPTR = DPH + DPL) ou por R0 ou R1 e o conteúdo do SFR P2.

		MSB		LSB
DPTR	→	DPH	e	DPL
P2 e Ri	→	SFR P2	e	R0 ou R1

Exemplos:

	leitura	escrita
Com DPTR	→ MOVX A,@DPTR	ou MOVX @DPTR,A
Com P2 e Ri	→ MOVX A,@Ri	ou MOVX @Ri,A (onde i=0 ou i=1)

Notar que quando se usa DPTR para endereçar a memória externa, os 16 bits dos endereços são emitidos por P0 e P2 mas ao se usar Ri, os 16 bits são formados pelo conteúdo de Ri (LSB) e o que estava no SFR P2, ou seja, não se altera o conteúdo de P2.

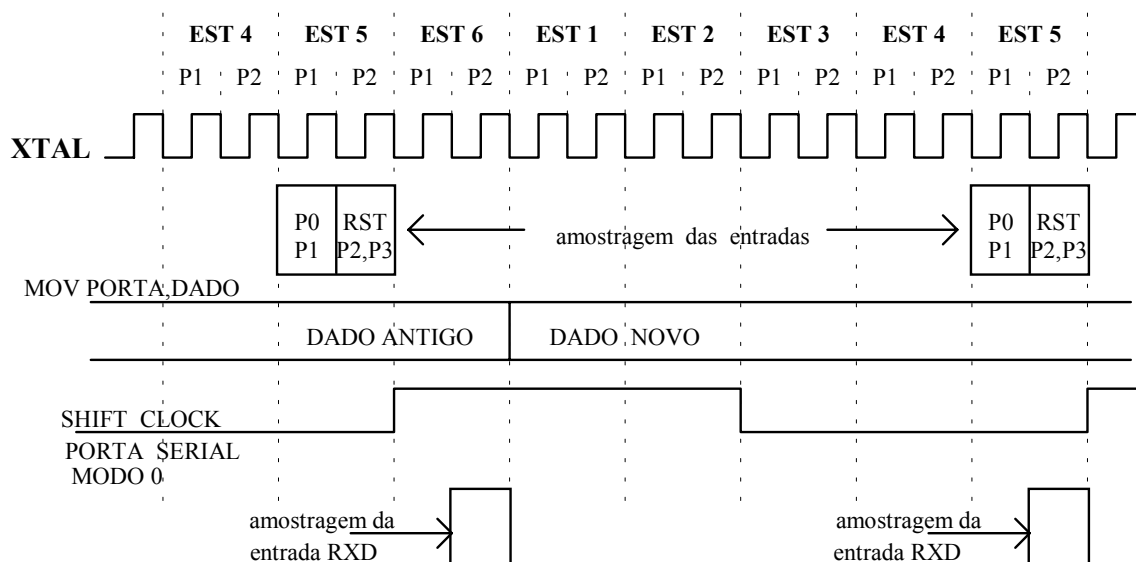


Figura 3.5. Operação das portas.

3.4. RESET

A entrada de Reset é o pino RST que possui um Schmitt Triger na entrada. O Reset é realizado quando este pino se mantém em nível alto pelo menos por 2 ciclos de máquina (24 clocks) enquanto o oscilador estiver funcionando. A CPU responde gerando um reset interno de acordo com a temporização que indicada na figura 3.6.

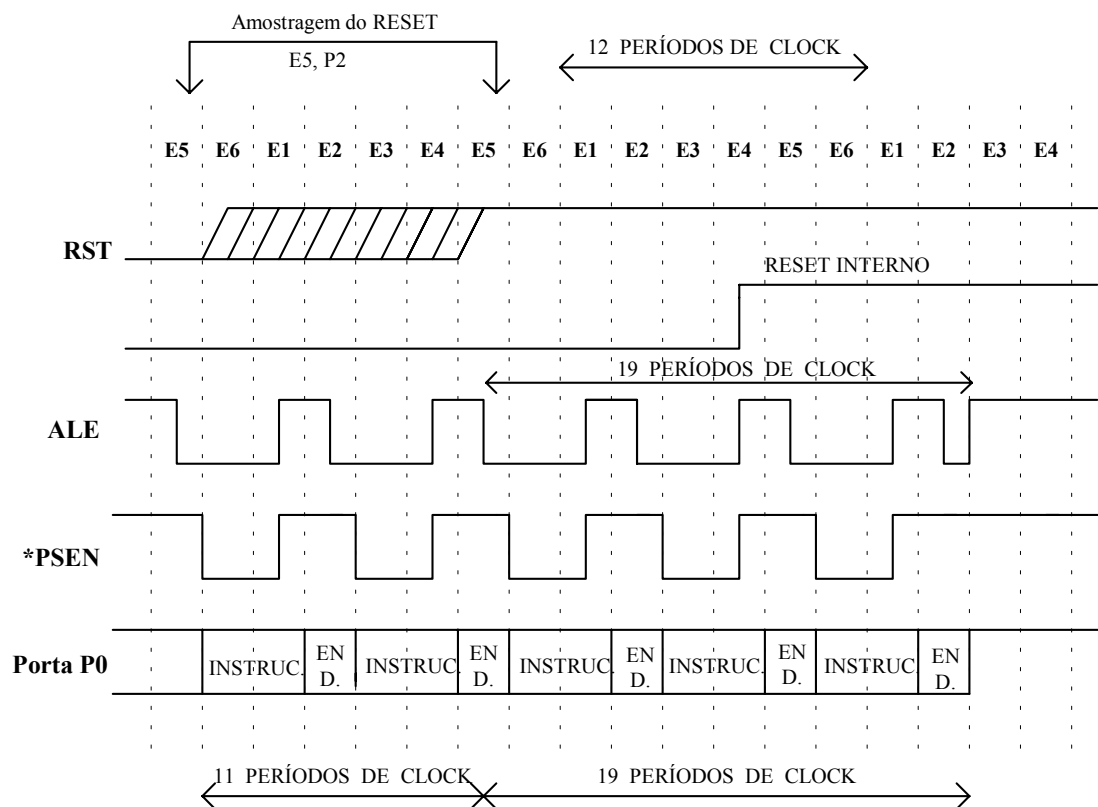


Figura 3.6. Temporização do RESET.

A entrada RST é assíncrona e é amostrada durante a fase 2 (P2) do estado 5 (E5). Depois do RST ser amostrado como alto, ainda se mantém atividade nos pinos durante 19 períodos de clock. Os pinos só cessarão a atividade 19 a 31 períodos de clock depois de RST ser ativada.

Após o RST, os pinos ALE e PSEN vão para 1. Depois de RST=0 (desativada), são necessários 1 a 2 períodos de clock para que ALE e PSEN comecem. Por isso, outros dispositivos externos não podem ser sincronizados com o tempo interno do Reset do 8051.

A RAM Interna não é afetada pelo reset. Depois do RESET, a CPU é inicializada com os seguintes dados:

SP	= 7	ESTADO DOS REGISTROS
SBUF	= ?	APÓS O RESET
P0,P1,P2,P3	= FFH	
OUTROS SFR	= 0	

Uma maneira fácil de realizar o "Power on Reset" e o "Reset Manual" é mostrada na figura 3.7.

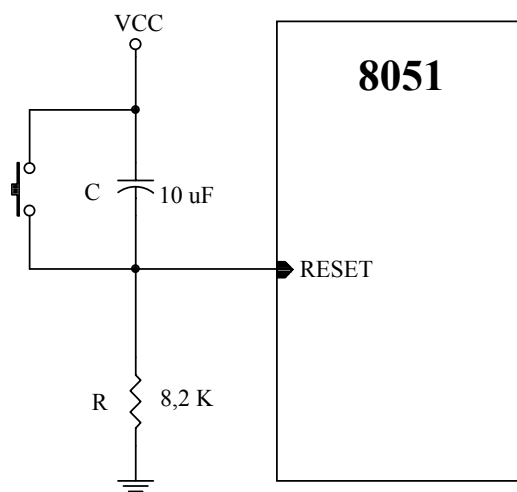


Figura 3.7. Circuito para RESET do 8051 (HMOS).

O esquema da figura 3.7 é válido para HMOS. Nas famílias CHMOS o resistor 8,2 K Ω pode ser omitido pois há um "pull-down" interno; além disso, o capacitor deve ser reduzido a 1 μ F.

Quando é energizado, o circuito (RC) assegura no pino RST um nível alto durante uma quantidade de tempo que depende dos valores de R e C. Para ter um "Power On Reset" seguro é necessário que o pino RESET seja mantido em alto durante o tempo necessário para que o oscilador inicie e a isto se adicionam os 24 períodos de clock para o RESET efetivo.

Tempos que serão computados no power up:

- Vcc se estabiliza \rightarrow 10ms
- Partida do oscilador \rightarrow 1ms (10MHz)
10ms (1MHz)

Com este circuito de Reset Vcc cai rapidamente a 0. Com isto, a tensão do pino RST pode cair momentaneamente abaixo de 0 mas não causa danos. Com a chave em paralelo com um capacitor pode-se gerar o RESET manual. Para que se possa projetar um RESET eficiente e preciso é necessário analisar o circuito RC de primeira ordem.

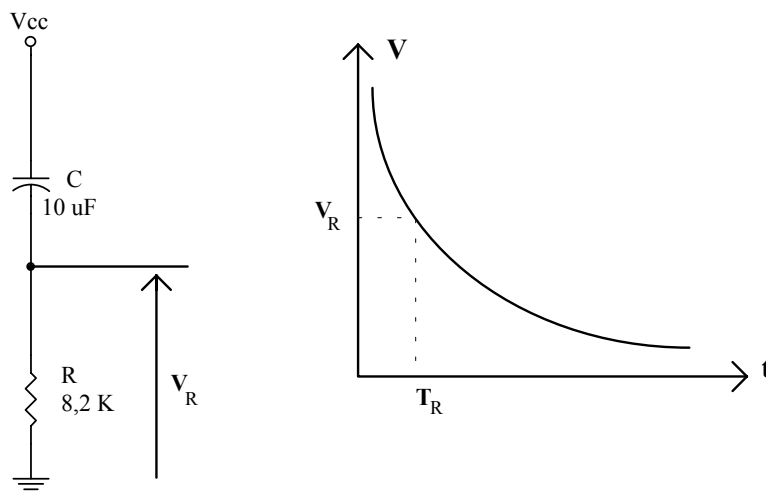


Figura 3.8. Análise do circuito para RESET do 8051.

Da análise do circuito se pode escrever a equação:

$$V_R = V_{CC} e^{-t/RC}$$

A pergunta, quando se calcula um circuito de RESET, é: Qual RC me garante que o RESET fique ativado por um tempo maior que o especificado? Para que se possa responder a esta pergunta é necessário saber qual a tensão de comutação do Schmitt-Trigger do 8051 e qual é o modelo elétrico da entrada RESET (ou seja, quanta corrente consome). Essas informações não estão facilmente disponíveis nem nos Data Sheets.

Exemplo: com o 8051 usando cristal de 1 MHz:

10 ms → estabilizar Vcc

10 ms → partida do oscilador

24 μs → necessários para o Reset (24 períodos de clock)

20024 μs → Tempo do Reset = 20,024 ms ≈ (aprox.) 20 ms

Supondo que o Schmitt Trigger comute a 3,5 V (na transição de alto para baixo; valores abaixo de 3,5 V na entrada geram 0 na saída) e usando os valores de R e C da figura 3.7, calcula-se.

$$\ln(3,5) - \ln(5) = -(t/RC)$$

$$t = RC (\ln(3,5) - \ln(5)) = 29 \text{ ms} > 20 \text{ ms} \quad \text{OK !}$$

Pelo que parece, o circuito de RESET sugerido deve funcionar.

Apresenta-se um circuito alternativo que, apesar do maior gasto de componentes, permite o conhecimento da tensão do Schmitt Trigger, saber seu consumo e calcular precisamente o circuito de RESET. Neste circuito o diodo é usado para garantir uma rápida descarga do capacitor quando se desliga a fonte de alimentação.

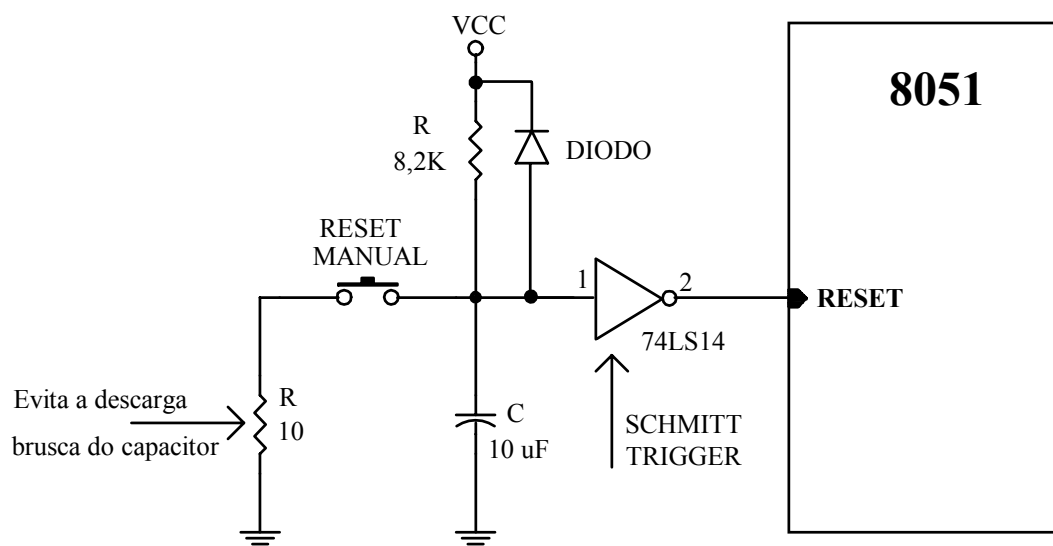


Figura 3.9. Circuito de RESET com Schmitt-Trigger TTL.