

# CAPÍTULO X

## ECONOMIA DE ENERGIA E GRAVAÇÃO

### 10.1. INTRODUÇÃO

Para aplicações onde o consumo de potência é crítico, as versões CHMOS oferecem modos de redução de potência como recurso padrão. Há dois modos básicos para economia de energia (redução de consumo):

- Modo Idle
- Modo Power Down

A figura 10.1 apresenta um diagrama de blocos onde se pode ver o funcionamento e a distinção entre os dois modos de economia de energia.

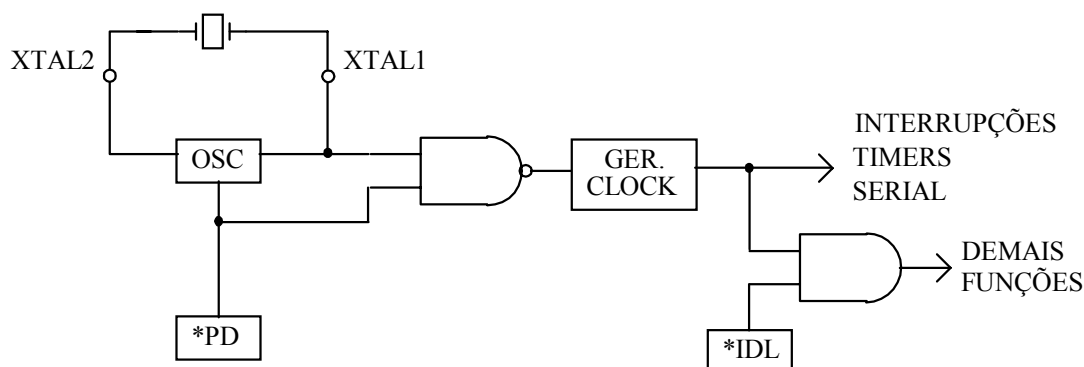


Figura 10.1. Controle executado pelos flags (\*PD e \*IDL) que habilitam a economia de energia.

No **MODO IDLE** (IDL=1) o oscilador continua a trabalhar para três funções, mas é removido do resto da CPU. As três funções que operam em modo Idle são:

- interrupções
- timers
- porta serial

No **MODO POWER DOWN** (PD=1) o oscilador é paralisado e com isto toda CPU fica congelada.

Esses dois modos são ativados pelo registrador **PCON**, que é descrito na figura 10.2.

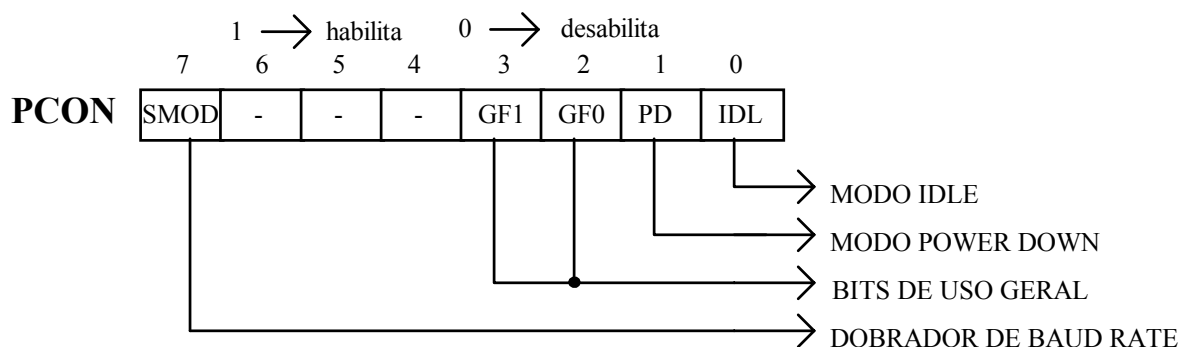


Figura 10.2. Descrição do registro PCON.

Nas versões HMOS o registrador PCON só contém o bit SMOD; os demais não devem ser utilizados.

## 10.2. MODO IDLE

A instrução que ativa o bit IDL é a última a ser executada antes que a CPU entre no modo Idle. Neste modo só funciona a interrupção, os timers e a porta serial. A CPU fica congelada sem o clock. O consumo é cerca de 85% do consumo normal.

Todo o status é preservado:

- SP, PC, PSW, Acc e todos os registradores,
- os pinos das portas mantêm os mesmos estados,
- ALE = PSEN = High.

Há duas maneiras de terminar o modo Idle:

- por uma interrupção que esteja habilitada,
- por reset.

Se uma interrupção termina o modo Idle, a instrução a ser executada depois do RETI é a que vem em seguida à que ativou o bit IDL. Na figura 10.3 há um esquema que ilustra este funcionamento.

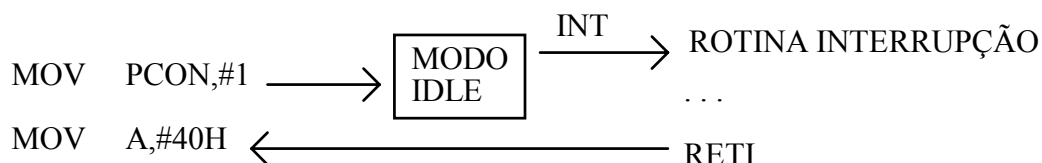


Figura 10.3. Retorno do modo Idle através de uma interrupção.

Os Flags GF0 e GF1 podem ser usados para dar indicação se a interrupção aconteceu no modo normal ou no modo Idle. A rotina que ativa o bit IDL deve antes ativar um dos dois flags (GF0 ou GF1) para indicar que a CPU entrou no modo Idle.

O Reset é a outra forma de terminar o modo Idle. Como o oscilador está funcionando, são necessários apenas 24 períodos de clock. O Reset coloca em zero o bit IDL de forma assíncrona e a CPU reassume a execução a partir da instrução que ativou o IDL. Podem acontecer 2 a 3 ciclos de máquina antes que a CPU retome o controle.

O hardware interno inibe o acesso à RAM interna durante o período de modo Idle mas não os acessos aos pinos das portas. Para evitar erros, a instrução que vem em seguida à ativação do IDL não deve escrever nas portas ou na memória externa.

### 10.3. MODO POWER DOWN

A instrução que ativa o bit PD é a última a ser executada antes que a CPU entre no modo Power Down. Nesse modo o oscilador fica parado e assim todas as funções se congelam mas o conteúdo da RAM interna e dos SFR são mantidos. O consumo é de aproximadamente 10 $\mu$ A.

Em modo power down são mantidos:

- RAM interna e SFR
- Pinos das portas
- ALE = PSEN = LOW

A única maneira de sair do Power Down é por Reset, que vai alterar o conteúdo dos SFR mas não alterará o conteúdo da RAM interna. Assim, os valores importantes deverão estar armazenados na RAM interna. Esse Reset deve esperar a partida do oscilador (pelo menos 10 ms). O programa recomeçará do início (RESET), ao contrário do modo IDLE.

Em Power Down pode-se baixar o Vcc até 2V; alguns cuidados devem ser observados:

- Não baixar o Vcc antes do Power Down
- Levantar o Vcc antes de sair do Power Down.

Uma possível utilização do modo power down pode ser realizada usando um sensor que capte a redução de Vcc (p.ex. 4,75V) e ative uma interrupção externa com prioridade alta para entrar no modo power down.

### 10.4. PROGRAMAÇÃO DA EPROM (8751)

Algumas versões da família MCS-51 possuem uma EPROM interna. A tabela da figura 10.4 relaciona algumas destas CPUs.

CPU	TAMANHO	TIPO	VPP	TEMPO
8751	4 KB	HMOS	21 V	4 min
8751H	4 KB	HMOS	21 V	4 min
87C51	4 KB	CHMOS	12,75 V	13 s
8752B	8 KB	HMOS	12,75 V	26 s

Figura 10.4. Algumas versões do MCS-51 com EPROM interna.

A CPU 8751H é programada com 21 V, usando 50 ms para cada byte, o que dá cerca de 4 minutos ( $4K * 50 \text{ ms} = 200 \text{ s}$ ). As CPUs 87C51 e 8752BH usam um modo de programação chamado de "Quick Pulse" que é feito com 12,75 volts e 25 pulsos de 100  $\mu\text{s}$  para cada byte, resultando em um menor tempo de programação.

Durante a programação existem 3 configurações usadas:

- Programação
- Verificação
- Programação do bit de segurança

A figura 10.5 ilustra a habilitação desses modos.



MODO	RST	*PSEN	ALE	*EA	P2.7	P2.6	P2.5	P2.4
PROGRAMAÇÃO	1	0		VPP	1	0	X	X
INIBIDO	1	0	1	X	1	0	X	X
VERIFICAÇÃO	1	0	1	1	0	0	X	X
SEGURANÇA	1	0		VPP	1	1	X	X

Figura 10.5. Habilitação dos diversos modos de programação (X → don't care).

#### 10.4.1. Programação

Para a programação é necessário que o oscilador esteja funcionando com uma frequência de 4 a 6 MHz. A figura 10.6 ilustra a operação em modo programação.

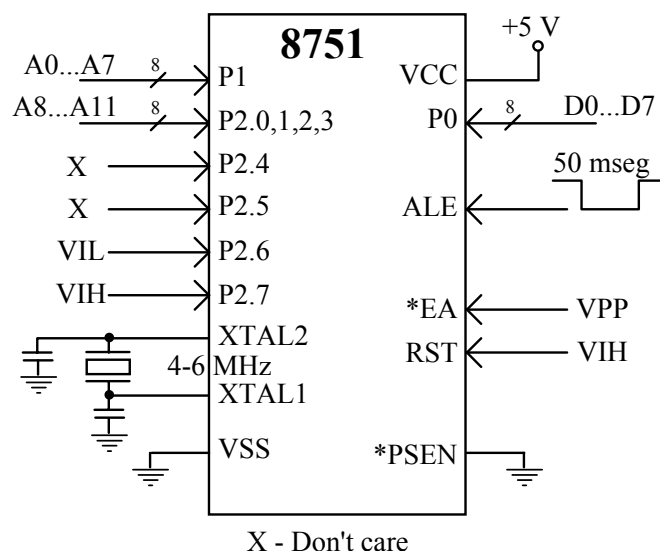


Figura 10.6. A CPU 8751 em modo programação.

Normalmente EA é mantido em nível alto (VIH) até antes do pulso em ALE. Um pouco antes deste pulso, coloca-se EA = VPP e em seguida envia-se o pulso ALE; depois dos 50 ms faz-se EA = VIH.

#### 10.4.2. Verificação

Se o bit de segurança não for programado, a memória EPROM pode ser lida com finalidades de verificação. Isso pode ser feito depois da programação de cada byte. A única alteração é que P2.7 é colocado em nível baixo para habilitar o buffer de saída por P0. Como P0 não possui pull up interno, um pull up externo de 10 K $\Omega$  deverá ser colocado em cada linha de dados. A figura 10.7 ilustra a operação do 8751 em modo verificação.

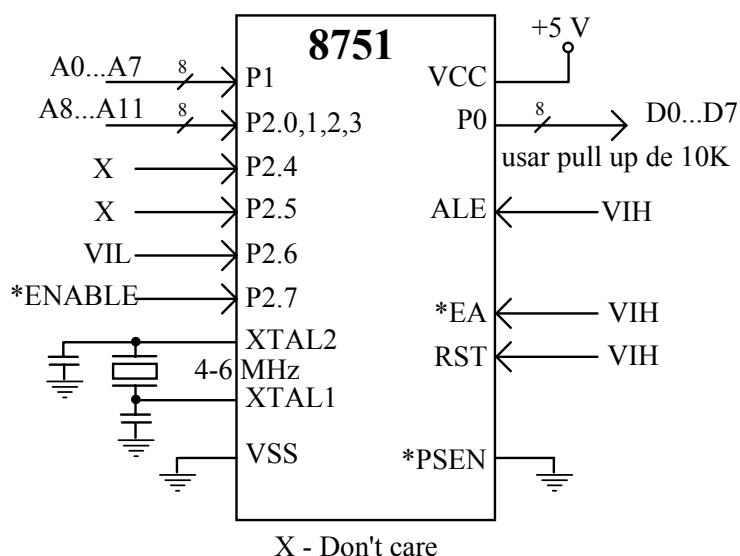


Figura 10.7. O CPU 8751 em modo verificação.

### 10.4.3. Bit de Segurança

O bit de segurança é uma trava que, quando programada, impede a leitura da EPROM interna. Também impede que a CPU execute programas a partir de uma memória externa. Ao apagar a EPROM se apaga também o bit de segurança. A figura 10.8 ilustra a operação da CPU em modo programação do bit de segurança.

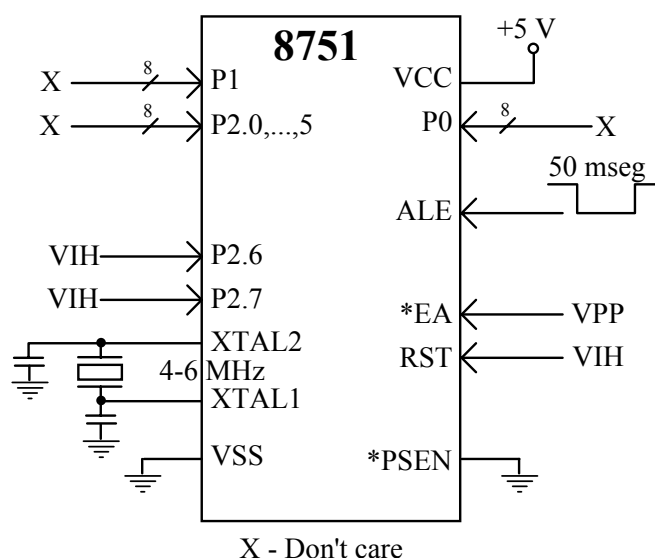


Figura 10.6. A CPU 8751 em modo programação do bit de segurança.

Outros membros da família oferecem técnicas mais sofisticadas de segurança. Por exemplo, o 8751BH oferece um array de 32 bytes onde se pode colocar chaves de criptografia. A cada endereço de EPROM que é lido, os 5 bits de endereço são usados para acessar um dos 32 bytes e com ele é feito um \*XOR (NXOR). Se estes 32 bytes estão apagados (em 1), a operação NXOR não produz nenhuma alteração.

### 10.4.4. Apagamento (8751)

O apagamento da memória EPROM do 8751 é feito por luz ultravioleta de alta densidade (2537 Angstroms e 15 Watts/cm<sup>2</sup>) durante 20 a 30 minutos a uma distância de 2,5 cm. A EPROM ficará com todos os bits em 1 após o processo.